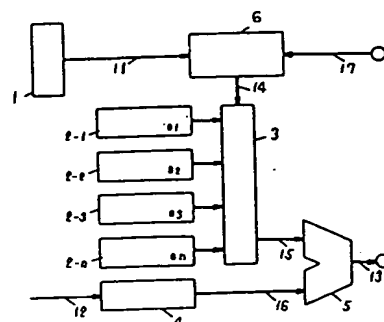


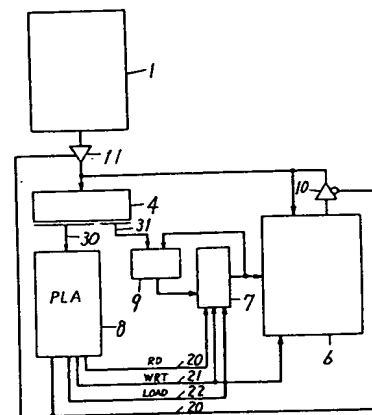
**CONSTITUTION:** A combinational logical circuit 6 is provided between the instruction decoder 1 and a multiplexer 3. Segment base registers 2-1~2-n are connected to the multiplexer 3. A necessary segment inside deviation address signal 12 is sent according to the kind of an instruction once the instruction decoder 1 outputs the segment base register selection signal 11, and the signal 12 is stored in an address register 4. The segmentation modifying signal 17 from outside of the circuit allows the combinational logical circuit 6 to convert the selection signal from the instruction decoder 1. Consequently, the generation process of a physical address from an adding circuit is controlled externally.



5: adding circuit. 13: physical address

(11) 59-99552 (A) (43) 8.6.1984 (19) JP  
(21) Appl. No. 57-209777 (22) 30.11.1982  
(71) MATSUSHITA DENKI SANGYO K.K. (72) SUMIO OZAWA  
(51) Int. Cl.<sup>3</sup> G06F9/38, G06F15/06

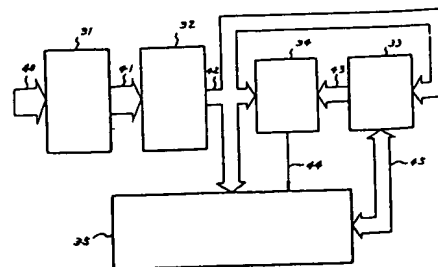
**CONSTITUTION:** The storage device 6 which is stored with execution instruction from an instruction queue register 1 is provided. A negative-directional relative jump instruction is stored in the instruction register 4. A code signal 30 indicating this relative jump instruction is applied to a PLA8 and a load signal is sent out of the PLA8 to an address counter 7. At this time, the sum of the address of the storage device 6 stored with the current relative jump instruction and the discounted value of the relative value field of the instruction register 4 is applied to another input terminal of the address counter 7. Therefore, when the load signal 22 is applied to the address counter 7, instructions stored in the storage device 6 are read out successively and executed to perform high speed operation without requiring fetch of any instruction.



### 9: adding circuit

(54) INTERRUPTION CONTROL SYSTEM  
(11) 59-99553 (A) (43) 8.6.1984 (19) JP  
(21) Appl. No. 57-208863 (22) 29.11.1982  
(71) NIPPON DENKI K.K. (72) MINEO AKASHI  
(51) Int. Cl.<sup>3</sup> G06F9/46, G06F3/00

**CONSTITUTION:** The interruption signal 40 is stored in an interruption request register 31. A priority register 33 is stored with the priority on an interruption program being executed by a data processor at present. An encoder 32 selects the interruption given with top priority in the encoder 32 on the basis of the output information 41 of the interruption request register 31 and generates interruption code information 42. This interruption code information is compared by a comparator 34 with the output information 43 of the priority register 33 and the comparator 44 generates an interruption start signal 44 when judged that its priority is higher than the priority on the interruption being processed. Thus, interruption control is performed through the simple constitution even when the number of interruption signal lines increases.



35: data processing part

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—99553

⑪ Int. Cl.<sup>3</sup>  
G 06 F 9/46  
3/00

識別記号

1 0 1

庁内整理番号

B 7218—5 B

C 7165—5 B

⑬ 公開 昭和59年(1984)6月8日

発明の数 1  
審査請求 未請求

(全 7 頁)

⑭ 割込制御方式

東京都港区芝五丁目33番1号日  
本電気株式会社内

① 特 願 昭57—208863

① 出 願 人 日本電気株式会社

② 出 願 昭57(1982)11月29日

東京都港区芝5丁目33番1号

⑦ 発 明 者 明石峰雄

④ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

割込制御方式

2. 特許請求の範囲

データ処理装置が処理中の割込プログラムの優先度をコード化して記憶する優先度レジスタと、該優先度レジスタに記憶される優先度と発生割込信号の優先度を判別する手段を備え、前記発生割込信号の優先度が前記優先度レジスタに記憶される優先度より高いとき前記優先度レジスタ記憶値を退避したのち所定の値に更新し割込プログラム処理を開始することを特徴とする割込制御方式。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、マイクロコンピュータなどのデータ処理装置の割込処理を制御する方式に関し、特に割込の優先度を管理して割込処理中にさらに割込

を行う多重割込の割込制御方式に関するものである。

(技術環境)

割込とは、優先度が高い処理要求がある時、データ処理装置が実行中のデータ処理を中断して処理要求に対応するプログラムの処理を開始し、そのプログラム処理が終了したならば中断したデータ処理を再開することである。

一般に割込を実現するためには、処理の優先度を判別して割込を起動する方式と中断したデータ処理を再開するための方式が必要で、本発明は前者の方式に関する。後者に関しては、中断されたプログラムのアドレス情報をスタックに記憶して割込プログラム終了時にスタックから復帰させるなど各種の方式が提供されている。

マイクロコンピュータなど集積回路化されたデータ処理装置は、プログラムにより演算・判断などの多様な処理が可能で、多くの分野で、演算・判断に基く制御を行うコントローラに应用されている。

この制御への応用では、機械系からの検出信号などリアルタイムで何らかの制御を必要とする信号に基づき、割込して時間応答が問題となる処理を実行している。

割込処理によれば、単一のデータ処理装置で、複数の作業を優先度に応じて切替えながら実行でき、即時性を損うことなく並列処理が可能であるため、機械制御の応用では、割込を起動する信号数の増加が望まれており、さらに割込プログラムの処理中により優先度の高い処理を割込させる多重割込の制御が必要とされている。

#### (従来技術)

従来、多重割込の制御は、次に述べる割込信号の優先度を管理する手段により実現されている。

第1図はかかる従来の多重割込制御方式を用いる回路構成を示すブロック図である。従来の割込制御方式は、割込信号が発生したことを記憶する割込要求レジスタ1とデータ処理装置がサービス中の割込信号に対応する情報を記憶する割込処理中レジスタ2と割込要求レジスタ1と割込処理中

割込処理中レジスタ2の出力情報12とを優先信号選択回路3にて比較・判別して最も優先度が高い信号を選択して出力し、同時に選択した信号に対応するビットの割込要求レジスタ1をリセットする。

前記動作により発生した割込信号中最も優先度が高いものが選択され、優先度が低く選択されなかった割込信号は割込要求レジスタ1に記憶されて、上位優先度の割込サービスが終了するまで保留されることになる。

前記優先信号選択回路3の出力信号13は、データ処理装置の割込プログラム起動と多重割込の優先度管理に使用される。割込プログラムの起動は、選択出力信号13に基づき、エンコーダ4にて割込プログラムの開始番地情報14が、割込検知回路5にて検知信号15が発生され、データ処理部6が検知信号15により割込発生を知らされると、実行中のプログラム処理を中断して再開のために、中断するプログラム番地情報などを退避させた後に、前記番地情報14に対応する割込プロ

グラム2からの情報を判別し最も優先度の高い割込信号を選択する優先信号選択回路3と優先信号選択回路3で選択された信号の割込サービスプログラム開始番地情報を発生するエンコーダ4と優先信号選択回路3で割込信号が選択されたことを検知する割込検知回路5とエンコーダ4と割込検知回路5からの情報に基づき割込プログラムを処理するデータ処理部6とを用いて構成される。

なお、第1図中、10はデータ処理装置に割込を要求する入力信号、11は割込要求レジスタ1の出力情報、12は割込処理中レジスタ2の出力情報、13は優先信号選択回路3で選択された割込信号情報、14はエンコーダ4の出力情報及び15は割込検知回路5の検知出力信号を示し、検知信号15以外の信号(11~14)は複数ビット線の信号である。

従来の割込制御方式では、割込信号10の複数ビット信号中いずれかが発生するときに発生信号に対応するビットの割込要求レジスタ1をセットして、その割込要求レジスタ1の出力情報11と

グラム処理を開始することによりなされる。

多重割込の優先度管理は、前記割込プログラム起動と同時に選択出力信号13に対応するビットの割込処理中レジスタ2をセットして、その処理中の割込を示す出力情報12により処理中の割込より優先度が低い割込要求を保留させることによりなされる。

なお、データ処理部が割込プログラム処理を終了して中断したプログラムの再開するとき、割込処理中レジスタ2のセットされているビット中で最も優先順位が高いものがリセットされ、割込プログラム処理開始前の状態に復帰する。ここで、割込要求レジスタ1に保留されていた優先順位の低い割込は、復帰した割込処理中レジスタ2の記憶値に基づき判別・選択されて、先に述べたと同様のシーケンスにてデータ処理部6に割込プログラム処理の起動をする。

多重割込制御には、同時に発生した複数の割込信号から最も優先度が高い信号を選択し、データ処理装置がサービス中のプログラムの優先度と比

較して割込の起動または保留を判別する手段が必要である。第1図に示す従来の割込制御方式では、優先信号選択回路3が前記判別を行っている。

以下、優先信号判別回路3の構成を示す第2図を参照しながら説明する。第2図は割込信号が4種類の場合における優先信号判別回路3の構成を示すもので、7個の反転回路1と4個のアンドゲート(G1~G4)から成り4本の割込要求レジスタ出力信号(11a~11d)と4本の割込処理中レジスタ出力信号(12a~12d)を入力として4本の割込選択信号(13a~13d)を出力する。ここで信号に付けられるアルファベットは割込信号の種類に対応しaからdの順番で割込優先度が高いことを示している。改めて説明するならば、11aは最も優先度の高い割込要求レジスタの出力信号で、12aはそれに対応する割込処理中レジスタ出力信号で、13aはその割込を選択した時発生される出力信号であり、他の信号も同様に对应している。

各反転回路1は割込要求レジスタ出力信号(

ジスタ出力信号12aおよび第2の優先度の割込処理中レジスタ出力信号12bを入力とする反転回路出力に加え、第2の優先度の割込要求レジスタ出力信号11bの4信号を入力として、第2の優先度の割込を選択したことを示す信号13bを出力する。ここで、第2のアンドゲートG2の出力13bは、第2の優先度の割込要求レジスタがセットされて、最優先の割込が発生してなく、またそれをサービス中でなく、さらに自身をサービス中でない時に発生される。

第3のアンドゲートG3と第4のアンドゲートG4も同様に各割込優先度に対応して、その優先度より高いすべての割込要求レジスタ出力信号および自身を含んで優先度が高いすべての割込処理中レジスタ出力信号を入力とする反転回路出力に加え各割込要求レジスタ出力信号を入力として各割込を選択したことを示す信号を出力する。つまり、第3のアンドゲートG3は6信号を入力として第3の優先度の割込を選択したこと、第4のアンドゲートG4は8信号を入力として第4の優先

11a~11d)または割込処理中レジスタ出力信号(12a~12d)のいずれか1信号を入力として真理値が反転した信号を出力する。この動作は、割込要求レジスタ1または割込処理中レジスタ2がセットされていない。つまり、リセット状態であることを示す信号を出力するもので、この反転回路1の出力と各レジスタ信号を入力としてアンドゲートG1~G4は発生している割込信号中の最も優先度の高い信号の選択を行う。

第1のアンドゲートG1は最も優先度の高い割込要求レジスタ出力信号11aとその割込処理中レジスタ出力信号12aを入力とする反転回路出力の2信号を入力としてその割込を選択したことを示す信号13aを出力する。ここで、第1のアンドゲートG1の出力13aは、最も優先度が高い割込要求レジスタがセットされて、その割込処理中レジスタがリセット状態つまり自身の割込をサービス中でない時に発生される。

第2のアンドゲートG2は、最優先の割込要求レジスタ出力信号11a、最優先の割込処理中レ

度の割込を選択したことを示す信号を発生する。

以上説明したとおり、従来の多重割込制御方式は、割込信号数の2倍の反転回路数を必要とし、割込信号数の2倍の入力数のアンドゲートが存在する回路構成を必要とする複雑な判別・選択回路が必要で、割込信号数に対応するビット長のサービス情報レジスタが必要なため、割込信号数を増加させた場合回路規模が増大し、割込信号数を多くしたいという要求を満足させることが困難であるという欠点を有している。

#### (発明の目的)

本発明の目的は、前述の如き欠点を除去することにより、割込信号数が増加しても回路数の増加しにくい回路構成を用いることのできる割込制御方式を提供することにある。

#### (発明の構成)

本発明の方式は、データ処理装置が処理中の割込プログラムの優先度をコード化して記憶する優先度レジスタと、該優先度レジスタに記憶される優先度と発生割込信号の優先度を判別する手段を

備え、前記発生割込信号の優先度が前記優先度レジスタに記憶される優先度より高いとき前記優先度レジスタ記憶値を退避したのち所定の値に更新し割込プログラム処理を開始することからなっている。

〔実施例の説明〕

以下、本発明について図面を参照して詳細に説明する。

第3図は本発明の一実施例の方式を用いる回路構成を示すブロック図である。

割込信号が発生したことを記憶する割込要求レジスタ31と、割込要求レジスタ31からの情報に基づきコード化した情報を発生するエンコーダ32と、データ処理装置が処理中の割込プログラムの優先度を記憶する優先度レジスタ33と、エンコーダ32と優先度レジスタ33からの情報に基づき割込起動の判別を行なう比較器34と、エンコーダ32と比較器34からの情報に基づき割込プログラムを処理するデータ処理部35とから構成される。なお、40はデータ処理装置に割込を要

求する割込入力信号、41は割込要求レジスタ31の出力情報、42はエンコーダ32の出力情報、43は優先度レジスタ33の出力情報、44は比較器34の割込起動信号及び45はデータ処理部35と優先度レジスタ間の転送情報を示し、第1図と同様に割込起動信号44以外の信号(40から43と45)は複数ビット幅の信号である。

次に、この実施例の動作を説明する。

割込信号40の複数ビット信号中のいずれかが発生するときに発生信号に対応するビットの割込要求レジスタ31をセットして、その割込要求レジスタ31の出力情報41に基づきエンコーダ32にて最も優先度が高い割込を選択して、その信号に対応する割込コード情報42を発生する。

この割込コード情報42と優先度レジスタ33の出力情報43とを比較器34にて比較・判別してサービス中の割込より優先度が高いと判断する時に割込起動信号44を発生する。

データ処理部35は、割込起動信号44にて割

込の起動を知らされると、従来のものと同様に実行中のプログラム処理の中断、再開のための情報の退避<sup>の</sup>させた後、前記割込コード情報42に対応する割込プログラム処理を開始する。

ここで、優先度レジスタ33の記憶値は、データ処理部35が再開のために中断するプログラムの番地情報などを退避するのに同期して、データ処理部35にとり込まれて記憶され、割込プログラム処理の開始に同期して、割込コード情報42に対応する値に更新され、優先度レジスタ33の出力43は常にデータ処理装置がサービス中の割込プログラムの優先度を示すことになり、以後に発生される割込信号は、このサービス中の優先度と比較してより優先度が高ければ割込を起動し、低ければ保留の制御がなされる。

なお、データ処理装置が割込プログラム処理を終了して中断したプログラムを再開するときに、データ処理部35に記憶されていた以前の優先度レジスタ値が転送され、割込プログラム処理開始前の状態に復帰する。

多重割込の制御では、割込プログラムを処理するのは単一のデータ処理装置であるため発生された割込信号中の最も優先度が高い信号1個を選択して、その優先度とデータ処理装置がサービス中の割込プログラムの優先度を比較して割込の起動または保留を決定すれば良い。

ここで優先度が高い割込信号1個を選択することは、選択信号より優先度が低い割込信号を選択しないことに通じ、各割込信号が選択された意味の情報においては排他的でありコード化して情報のビット数を減少できることになり、制御回路の減少の効果が期待できる。

この実施例では、エンコーダ32により割込要求レジスタ31からの情報41をコード化して優先度管理と割込プログラム起動のための情報42を発生している。

第4図は、割込信号数が4種類の場合におけるエンコーダ32の回路構成を示し、3個の反転回路(11~13)と、3個のアンドゲート(A1~A3)と、2個のオアゲート(U1, U2)

第 1 表

入 力				出 力		
4 1 a	4 1 b	4 1 c	4 1 d	4 2 a	4 2 b	4 2 c
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	x	0	1	0
0	1	x	x	0	1	1
1	x	x	x	1	0	0

xは論理値が1, 0いずれでも良いことを示している。

エンコーダ回路の入力信号(4 1 a~4 1 d)がすべて論理値0である場合出力コードは2進法表現で0となり、最も優先度が低い入力信号4 1 dが論理値1でそれより上位優先度の入力信号(4 1 a~4 1 c)がすべて論理値0である場合出力コードは1となり、下位から2番目の優先度の入力信号4 1 cが論理値1でそれより上位の優先度の入力信号4 1 aと4 1 bが論理値0である場合出力コードは2となり、下位から3番目の優先

度から成り、4本の割込要求レジスタ3 1からの情報(4 1 a~4 1 d)を入力としてコード化された3本の情報(4 2 a~4 2 c)を出力する。なお、割込要求レジスタ3 1からの情報は、4 1 aを最高優先度の信号としてアルファベット順で優先度の重みづけがされており、回路出力4 2 a, 4 2 b, 4 2 cは2進コード化されてそれぞれ $2^2 (=4)$ ,  $2^1 (=2)$ ,  $2^0 (=1)$ の重みづけがされている。

第4図の回路は、一般にプライオリティエンコーダと呼ばれる回路で、重みづけされた入力信号の優先度に対応して、ある優先度の信号が論理値1であるとき、それより優先度が低い信号によるコード情報発生を抑止する回路接続がされている。

第1表は、第4図のエンコーダ回路の入力と出力の関係を示すための真理値表で、表中の1または0は該信号の論理値を示し、以下余白

度の入力信号4 1 bが論理値1で最上位優先度の入力信号4 1 aが論理値0である場合出力コードは3となり、最上位優先度の入力信号4 1 aが論理値1の場合下位優先度の入力信号(4 1 b~4 1 d)がどのような論理値であっても出力コードは4となる。これによって、発生された割込信号中の最も優先度が高い信号1個が選択され対応するコード化情報が出力される。

前述の優先度が高い信号を選択しながらコード化する動作は、従来の割込制御機構の複雑な優先号選択回路を不要にし、さらに、割込プログラムの開始番地を決定するために従来でもエンコーダ回路(第1図中の4)が必要であったことから、割込制御機構の回路規模を削減するのに効果を発揮することは明らかである。

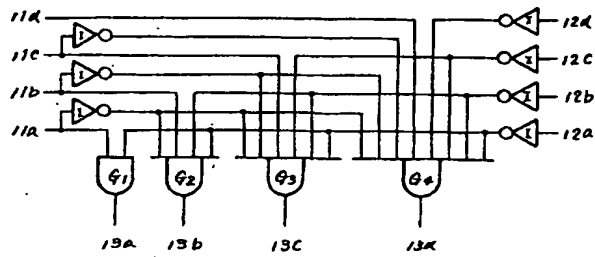
さらに、第3図のエンコーダ回路3 2にて割込制御に関する情報がコード化され信号数(ビット幅)が減少することは、比較器3 4および優先度レジスタ3 3などの回路を縮減させる効果も期待できる。

この実施例では、割込プログラムの処理を開始するか、割込要求を保留するのかの判別は比較器3 4にて行われる。比較器3 4は、一般にマグニチュードコンパレータと呼ばれる回路で、コード化された情報値の大小関係を比較するもので、エンコーダ3 2のコード化出力情報4 2が優先度レジスタ3 3の記憶情報4 3より大であるならば、割込起動信号4 4を発生する。

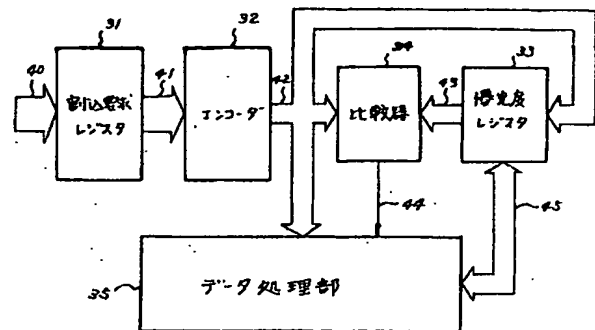
この実施例では、エンコーダの出力情報を割込プログラム処理の開始時に優先度レジスタ3 3に記憶させており、前記起動信号発生条件はデータ処理装置が処理中の割込プログラムの優先度より発生された割込信号の優先度が高い場合に等価である。

前述のように、コード化された割込優先度情報を記憶して多重割込の優先度管理をすることにより、割込信号の種類が増加しても比較器3 4および優先度レジスタ3 3の回路は増加しにくい構造のものが得られる。例として示すならば第4図に示すエンコーダ回路は4本の入力信号に基き3本

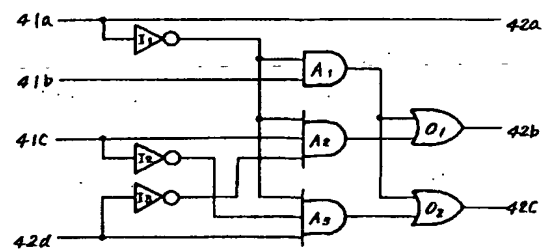




第2図



第3図



第4図